

출력 일자: 2004/7/29

발송번호 : 9-5-2004-030423406
발송일자 : 2004.07.28
제출기일 : 2004.09.28

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2
층(리&목특허법률사무소)
이영필 귀하

137-874

특허청
의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)
주소 경기도 수원시 영통구 매탄동 416
대리인 성명 이영필
주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)
출원번호 10-2002-0055682
발명의 명칭 둘 이상의 입력포트를 구비하는 접적 회로 장치 및 시스템

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지
하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제
25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기
제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장
승인통지는 하지 않습니다.)

[이 유]

이 출원의 특허청구범위에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식
을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의
규정에 의하여 특허를 받을 수 없습니다.

- 아래 -

본 발명의 청구범위 제1항 내지 제20항은 입출력을 위한 포트를 구비하고 입력된 데이터를 선택하
여 출력함을 주된 특징으로 하는 접적회로장치에 관한 것이나, 이는 대한민국 특허공개 특
1997-051310(1997.07.29)호에서 독립적인 데이터의 입출력을 수행하는 제1버퍼부, 제2버퍼부를 구
비하는 싱글 에스램 셀을 사용하는 이중 포트 에스램의 기술적 수단(사상)과 대한민국 특허공개
특1994-0004643(1994.03.15)호에서 데이터버스, 입력버퍼, 출력버퍼, 출력선택신호를 상보적으로
출력단에 접속시키는 출력선택수단을 구비한 듀얼포트 램의 기술적 수단(사상)과 유사하고 이들의
결합에 의하여 당업자 수준에서 용이하게 발명 할 수 있다고 판단합니다.

[첨 부]

첨부 1 인용발명1:한국등록특허공보 0172518호(1998.10.24) 1부.
첨부2 인용발명2:한국등록특허공보 0091276호(1995.11.04) 1부. 끝.

2004.07.28

특허청

전기전자심사국

전자심사담당관실

심사관 권호영



011922

출력 일자: 2004/7/29

<<안내>>

문의사항이 있으시면 ☎ 042-481-5676 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

특0172518

(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.⁶
 G11C 11/41

(45) 공고일자 1998년 03월 30일
 (11) 등록번호 특0172518
 (24) 등록일자 1998년 10월 24일

(21) 출원번호	특1995-062111	(65) 공개번호	특1997-051310
(22) 출원일자	1995년 12월 28일	(43) 공개일자	1997년 07월 29일
(73) 특허권자	현대전자산업주식회사 김주용 경기도 이천군 부발읍 아미리산 136-1		
(72) 발명자	박동석 경기도 이천군 부발읍 아미리산 136-1		
(74) 대리인	박해천, 염주석, 원석희		

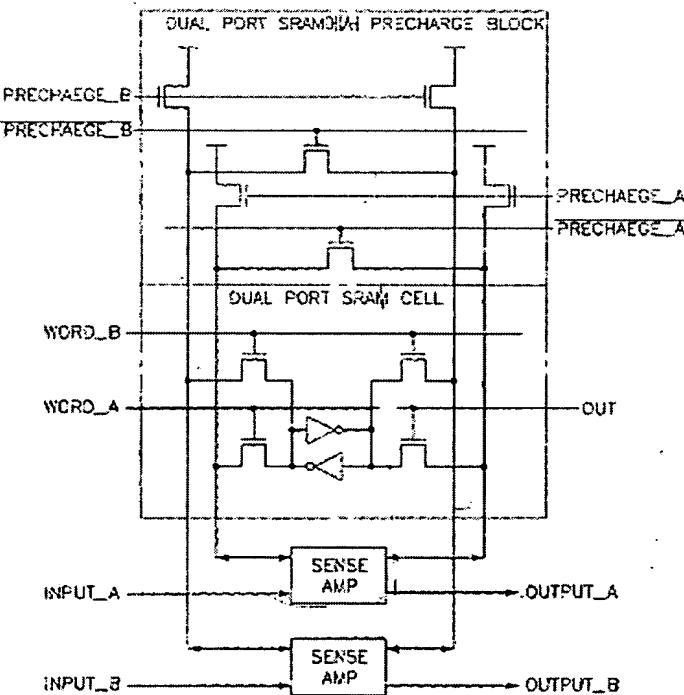
설사문 : 검증문

(54) 싱글 에스램 셀을 사용한 미중 포트 에스램

요약

본 발명은 싱글 에스램 셀의 비트라인 및 비트바라인으로 각각 독립적인 데이터의 입·출력을 수행하는 미중 포트 에스램에 관한 것으로, 미중 포트 에스램의 기능을 가지면서 셀 트랜지스터 수를 8개에서 6개로, 포트 수를 8개에서 4개로 줄여들게 하므로써, 셀의 목적률을 30% 이상 줄일 수 있기 때문에 에스램 하나에 수십개의 셀이 어레이되었을 점을 감안하면 소자의 고집적화에 커다란 효과를 가져올 수 있다.

그림도



설명서

[발명의 명칭]

싱글 에스램 셀을 사용한 미중 포트 에스램

[도면의 간단한 설명]

제1도는 이중(Dual) 에스램(SRAM) 셀(Cell)을 사용하여 이중 포트(Dual Port) 에스램의 회로도.

제2도는 본 발명에 따른 싱글(Single) 에스램 셀을 사용한 이중 포트 에스램의 일실시예 회로도.

* 도면의 주요부분에 대한 부호의 설명

100 및 200 : 프리차지 트랜지스터 300 : 싱글 에스램 셀

400 : 제1버퍼부 500 : 제2버퍼부

[발명의 상세한 설명]

본 발명은 싱글(Single) 에스램(SRAM) 셀(Cell)을 사용하는 이중포트(Dual Port) 에스램(SRAM)에 관한 것이다.

일반적으로 미중 토프 에스램은 응용목적진전회로(ASIC) 설계시 많이 사용되는 서브 메모리 블럭(Sub Memory Block)으로, 특히 많이 사용되는 분야는 FIFO(First input First output, 이하 FIFO라 할)에 많이 사용되는데 FIFO는 서로 다른 클럭사이클(Clock cycle)을 가지는 블럭(Block)간 데이터(Data) 전송에 사용되는 중요한 회로이다.

제1도는 종래의 이중 포트(Dual Port) 에스램의 회로도로서, 도면에 도시된 바와 같이 이중(Dual) 에스램(SRAM) 셀(Cell)을 사용하고 있다.

두 포트를 통해서 데이터 입출력이 가능한 이중 포트 메모리(Dual Port Memory)의 주요한 기능은 셀에 기억되어 있는 데이터를 읽기(Read)와 동시에 쓰기(Write)가 가능하다는 점이다.

즉, 한 포트를 통해 읽기를 하면서 다른 포트를 통해 셀에 새로운 데이터의 쓰기를 할 수 있다. 이러한 이중 포트 에스램 셀은 트랜지스터수가 8개이고, 워드라인(Wordline), 비트라인(Bitline), 비트바라인(Bitline)이 각각 두개씩인 총 포트(Total Port)수가 8개로 셀이 많이 사용되는 메모리 블럭(Memory Block)이 너무 많은 면적을 차지하는 문제점이 있다. 칩(Chip) 설계에 있어서, 이러한 문제점은 제품의 원가를 상승시킨다.

따라서, 상기 종래의 문제점을 해결하기 위하여 안출된 본 발명은, 싱글(Single) 에스램 셀과 싱글 비트(Single Bit)로 읽기, 쓰기가 가능한 버퍼(센스 증폭기(Sense Amp)로 간주해도 무방함)를 사용하여 비트라인(Bit Line)과 비트바라인(Bit Line)을 각각의 독자적인 입·출력 포트로 사용함으로써, 셀의 면적을 최소화하여 에스램의 고집적화를 이루는 이중 포트 에스램을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 싱글 에스램 셀의 비트라인에 연결되어 상기 비트라인으로 독립적인 데이터의 입·출력을 수행하는 제1버퍼부, 상기 싱글 에스램 셀의 비트바라인에 연결되어 상기 비트바라인으로 독립적인 데이터의 입·출력을 수행하는 제2버퍼부를 구비하는 것을 특징으로 한다.

이하, 첨부된 도면 제2도를 참조하여 본 발명의 일실시예를 상세히 설명한다.

제2도는 본 발명의 일실시예에 따른 싱글 에스램 셀을 사용한 이중 포트 에스램의 회로도로서, 100 및 200은 프리차지 트랜지스터, 300은 싱글 에스램 셀, 400은 제1버퍼부, 500은 제2버퍼부를 각각 나타낸다.

제2도에 도시된 바와 같이 본 발명의 이중 포트 에스램은 싱글 에스램 셀(300)에 두개의 워드라인 WORD_A 및 WORD_B가 연결되어 그것에 의해 셀이 선택되며, 싱글 에스램 셀(300)의 비트라인 BIT_A에 연결되어 상기 비트라인 BIT_A로 독립적인 데이터의 입·출력을 수행하는 제1버퍼부(400)와, 상기 싱글 에스램 셀(300)의 비트바라인 BIT_B에 연결되어 상기 비트바라인 BIT_B로 독립적인 데이터의 입·출력을 수행하는 제2버퍼부(500)와, 상기 비트라인 BIT_A 및 비트바라인 BIT_B를 프리차지시키는 NMOS 트랜지스터(100, 200)로 구성된다.

세부적으로, 제1버퍼부(400)는 쓰기신호 WRITE_A의 제어를 받아 쓰기동작시 입력데이터 INPUT_A를 비트라인 BIT_A를 통해 셀에 저장하는 쓰기부(40) 및 읽기신호 READ_A의 제어를 받아 읽기동작시 상기 비트라인 BIT_A를 통해 셀의 데이터를 읽는 읽기부(80)로 구성되는데, 쓰기부(40)는 상기 쓰기신호 WRITE_A에 의해 상기 비트라인 BIT_A과 상기 쓰기부(40) 사이를 스위칭하는 NMOS 트랜지스터(401)와, 입력데이터 INPUT_A의 반전신호가 상기 쓰기신호 WRITE_A의 제어에 따라 게이트에 인가되어 NMOS 트랜지스터(401)와 절지전압 사이에 채널이 형성되는 NMOS 트랜지스터(402)로 구성되며, 읽기부(80)는 읽기신호 READ_A에 의해 비트라인 BIT_A와 읽기부(80) 사이를 스위칭하는 NMOS 트랜지스터(404)와, NMOS 트랜지스터(404)와 출력노드(409) 사이에 채널이 형성되고 게이트로 상기 NMOS 트랜지스터(404)에 의해 연결된 비트라인 BIT_A 신호를 반전시켜 인가받는 NMOS 트랜지스터(407)와, 출력노드(409)를 항상 풀업시키는 PMOS 트랜지스터(409), 및 읽기신호 READ_A의 제어에 따라 상기 출력노드(409)의 값을 출력하는 3상 버퍼(408)로 구성된다.

또한, 제2버퍼부는 쓰기신호 WRITE_B의 제어를 받아 쓰기동작시 입력데이터 INPUT_B를 상기 비트바라인 BIT_B를 통해 셀에 저장하는 쓰기부(50), 및 읽기신호 READ_B의 제어를 받아 읽기동작시 상기 비트바라인 BIT_B를 통해 셀의 데이터를 읽는 읽기부(90)로 구성되는데, 쓰기부(50)는 쓰기신호 WRITE_B에 의해 상기 비트바라인 BIT_B과 상기 쓰기부(50) 사이를 스위칭하는 NMOS 트랜지스터(501)와, 입력데이터 INPUT_B와 상기 쓰기신호 WRITE_B의 제어에 따라 게이트에 인가되어 상기 NMOS 트랜지스터(501)와 절지전압 사이에 채널이 형성되는 NMOS 트랜지스터(502)로 구성되며, 읽기부(90)는 상기 읽기신호 READ_B에 의해 상기 비트바라인 BIT_B와 읽기부(90) 사이를 스위칭하는 NMOS 트랜지스터(504)와, 상기 NMOS 트랜지스터(504) 및 출력노드(509) 사이에 채널이 형성되고 게이트로 NMOS 트랜지스터에 의해 연결된 비트바라인 BIT_B 신호를 반전시켜 인가받는 NMOS 트랜지스터(507)와, 출력노드(509)를 항상 풀업시키는 PMOS 트랜지스터(506) 및 상기 읽기신호 READ_B의 제어에 따라 상기 출력노드(509)의 값을 반전시켜 출력하는 3상 인 버퍼(508)로 구성된다.

상기와 같은 구성을 갖는 제2도의 동작은 다음과 같다.

먼저, 제1버퍼부(400)의 회로동작을 살펴본다. 제1버퍼부는 워드라인 WORD_A가 셀에 연결되었을 경우에 동작하며, 바트라인 BIT_A가 쓰기 및 읽기 입·출력 포트 역할을 한다.

쓰기동작시에는 상기 제1버퍼부(400)에 쓰기신호 WRITE_A가 논리레벨 '하이'인 '1'로 입력되며 읽기신호 READ_A가 '0'으로 입력된다. 따라서, NMOS 트랜지스터 401은 온(ON)이 되고, 입력데이터 INPUT_A가 '0'이면 NMOS 트랜지스터 402가 온되어 셀에 '0'이 기억된다. 같은 방법으로 입력데이터가 '1'이면 NMOS 트랜지스터 402가 오프(OFF)가 되어 비트라인 BIT_A에 프리차지(Precharge)되어 있던 '1'이 셀에 기억된다. 여기서, 3상 인버터 403은 입력데이터 INPUT_A를 쓰기신호 WRITE_A가 '1'일 경우에만 반전시켜 버퍼부로 입력하게 된다.

읽기동작시에는 쓰기신호 WRITE_A가 '0'으로 입력되며 읽기신호 READ_A가 '1'로 입력된다. 따라서, NMOS 트랜지스터 401은 '오프'되고 NMOS 트랜지스터 404가 '온'된다. 출력데이터 OUTPUT_A가 '0'값이 나온다면 인버터 405에 의해 NMOS 트랜지스터 407이 '온'되어 노드 409의 전압이 떨어지게 되어 출력은 '0'이 된다. 또한 마찬가지로 셀 데이터가 '1'이면 NMOS 트랜지스터 407이 '오프'되고 노드 409는 항상 '온'되어 있는 풀업 트랜지스터 406에 의해 충전되어 있다가 '1'을 출력시킨다. 여기서, 노드 409의 값을 출력하는 3상 버퍼 408은 읽기신호 READ_A가 '1'일 경우에만 '온'되어 출력데이터 OUTPUT_A를 낸다.

다음, 제2버퍼부(500)의 회로동작은 워드라인 WORD_B가 셀에 연결되었을 경우에 동작하며, 비트라인 BIT_B가 쓰기 및 읽기 입·출력 포트 역할을 한다. 따라서, 상기 제1버퍼부(400)와는 반대의 값을 입력시키고 읽을 때도 반대의 값을 읽어낸다. 그러므로, 도면에 도시된 바와 같이, 쓰기동작시 입력데이터 INPUT_B 값이 제1버퍼부(400)와는 달리 NMOS 트랜지스터 502로 반전되지 않고 입력되며, 읽기동작시 노드 509의 값이 반전되어 출력되되어야 한다.

결국, 일반적인 비트라인(bit line)과 비트바라인(/bit line)을 각각의 독자적인 입·출력 포트로 사용하고, 단일 비트로 데이터 감지가 가능한 읽기/쓰기 버퍼(Read/write buffer)를 사용함으로써 미중포트 메모리의 기능을 수행할 수 있다.

미상, 상기 설명한 바와 같은 본 발명은 미중 포트 에스램의 기능을 가지면서 셀 트랜지스터 수를 8개에서 6개로, 포트 수를 8개에서 4개로 줄여들게 하므로써, 셀의 면적을 30% 이상 줄일 수 있기 때문에 에스램의 특성을 감안하면 소자의 고집적화에 커다란 효과를 가져올 수 있다.

(5) 청구의 범위

청구항 1

미중 포트 에스램에 있어서, 싱글 에스램 셀의 비트라인에 연결되어 상기 비트라인으로 독립적인 데이터의 입·출력을 수행하는 제1버퍼부; 상기 싱글 에스램 셀의 비트바라인에 연결되어 상기 비트바라인으로 독립적인 데이터의 입·출력을 수행하는 제2버퍼부를 구비하는 것을 특징으로 하는 싱글 에스램 셀을 사용한 미중 포트 에스램.

청구항 2

제1항에 있어서, 상기 에스램 셀은 두개의 워드라인에 의해 선택되어지는 것을 특징으로 하는 싱글 에스램 셀을 사용한 미중 포트 에스램.

청구항 3

제2항에 있어서, 상기 에스램 셀의 비트라인 및 비트바라인에 연결되어 상기 비트라인 및 비트바라인을 프리차지시키는 수단을 더 구비하는 것을 특징으로 하는 싱글 에스램 셀을 사용한 미중 포트 에스램.

청구항 4

제3항에 있어서, 상기 제1버퍼부는 쓰기신호의 제어를 받아 쓰기동작시 입력데이터를 상기 비트라인을 통해 셀에 저장하는 쓰기부, 및 읽기신호의 제어를 받아 읽기동작시 상기 비트라인을 통해 셀의 데이터를 읽는 읽기부를 구비하는 것을 특징으로 하는 싱글 에스램 셀을 사용한 미중 포트 에스램.

청구항 5

제4항에 있어서, 상기 쓰기부는 상기 쓰기신호에 의해 상기 비트라인과 상기 쓰기부 사이를 스위칭하는 스위칭 수단; 입력데이터의 반전신호가 상기 쓰기신호의 제어에 따라 게이트에 인가되어 상기 스위칭 수단과 접지전압 사이에 채널이 형성되는 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 싱글 에스램 셀을 사용한 미중 포트 에스램.

청구항 6

제4항에 있어서, 상기 읽기부는 상기 읽기신호에 의해 상기 비트라인과 상기 읽기부 사이를 스위칭하는 스위칭 수단; 상기 스위칭 수단 및 출력노드 사이에 채널이 형성되고 게이트로 상기 스위칭 수단에 의해 연결된 비트라인 신호를 반전시켜 인가받는 NMOS 트랜지스터; 상기 출력노드를 항상 풀업시키는 수단; 및 상기 읽기신호의 제어에 따라 상기 출력노드의 값을 출력하는 수단을 구비하는 것을 특징으로 하는 싱글 에스램 셀을 사용한 미중 포트 에스램.

청구항 7

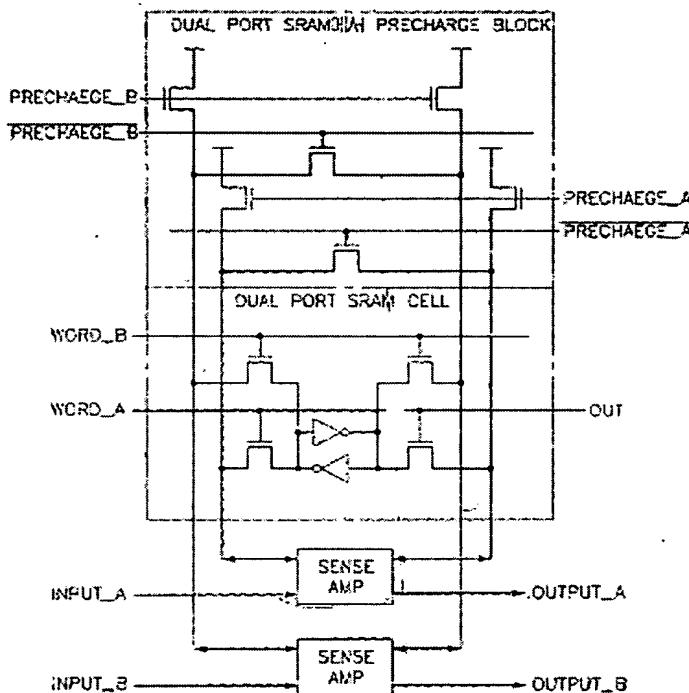
제3항에 있어서, 상기 제2버퍼부는 쓰기신호의 제어를 받아 쓰기동작시 입력데이터를 상기 비트바라인을 통해 셀에 저장하는 쓰기부, 및 읽기신호의 제어를 받아 읽기동작시 상기 비트바라인을 통해 셀의 데이터를 읽는 읽기부를 구비하는 것을 특징으로 하는 싱글 에스램 셀을 사용한 미중 포트 에스램.

첨구항 8

제7항에 있어서, 상기 쓰기부는 상기 쓰기신호에 의해 상기 비트바라인과 상기 쓰기부 사이를 스위칭하는 스위칭 수단; 입력데이터가 상기 쓰기신호의 제어에 따라 게이트에 인가되며 상기 스위칭 수단과 접지전압 사이에 채널이 형성되는 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 싱글 에스램 셀을 사용한 이중 포트 에스램.

첨구항 9

제7항에 있어서, 상기 읽기부는 상기 읽기신호에 의해 상기 비트바라인과 상기 읽기부 사이를 스위칭하는 스위칭 수단; 상기 스위칭 수단 및 출력노드 사이에 채널이 형성되고 게이트로 상기 스위칭 수단에 의해 연결된 비트바라인 신호를 반전시켜 인가받는 NMOS 트랜지스터; 상기 출력노드를 항상 출입시키는 수단; 몇 상기 읽기신호의 제어에 따라 상기 출력노드의 값을 반전시켜 출력하는 수단을 구비하는 것을 특징으로 하는 싱글 에스램 셀을 사용한 이중 포트 에스램.

도면**도면1**

5-2

